

DENEY NO : 6

DENEY ADI : Flip-Floplar

Bu deneyde, çeşitli flip-flop devreleri kurulacak ve incelenecektir.

Kullanılan Elemanlar

- 1 x 74HC00 (NAND kapısı)
- 1 x 74HC73 (JK flip-flop)
- 1 x 74HC74 (D flip-flop)
- 4 x 4,7 kOhm direnç
- 2 x 330 Ohm direnç
- 2 x Led

Flip-Flop'lar

Flip-flop, basit bir bellek hücresi olup, çalışma gücü kesilmediği ve dış sinyaller ile durumu değişmediği taktirde çıkış durumunu koruyabilen yapılardır. Flip-floplar bir bitlik saklayıcılardır. Farklı türleri mevcuttur.

Flip-floplar başlıca 4 çeşittir. Bunlar;

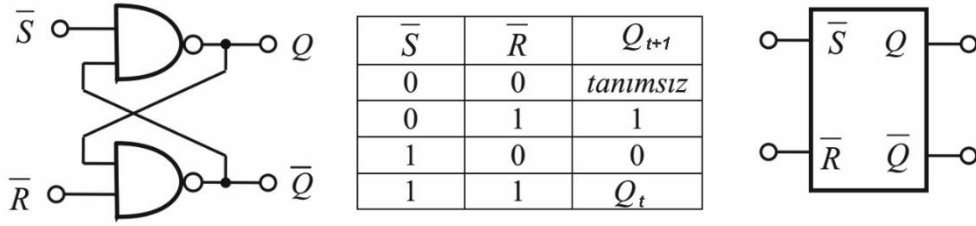
- RS flip-flop
- JK flip-flop
- T flip-flop
- D flip-flop

RS Flip-Flop

RS flip-flop NAND kapılarıyla da NOR kapılarıyla da gerçekleştirilebilir. Aşağıda NAND kapılarıyla gerçekleştirilmiş RS flip-flop'u gösterilmektedir. R (Reset-Silme) ve S (Set-Kurma) olmak üzere iki girişi, Q ve Q' ile gösterilen iki çıkışı vardır. Bu iki çıkış normal çalışma durumlarında birbirinin tersidir. Temel olarak RS flip-flop'unun iki farklı çıkış durumu vardır. Aşağıdaki şekilde NAND kapılarıyla oluşturulmuş bir RS flip-flop'unun lojik diyagramı, doğruluk tablosunu ve blok diyagramını gösterilmektedir.

$S' = 0, R' = 0$ girişleri verilmemelidir. Bu durum tanımsız veya yasaktır.

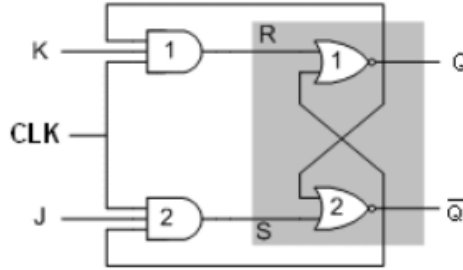
$S' = 1, R' = 1$ girişleri verildiğinde çıkış bir önceki değerini korur.



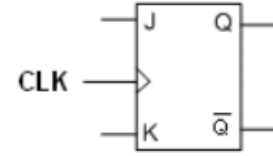
NAND kapıları ile gerçekleştirilmiş RS flip-flop'u, doğruluk tablosu ve blok diyagramı

JK Flip-Flop

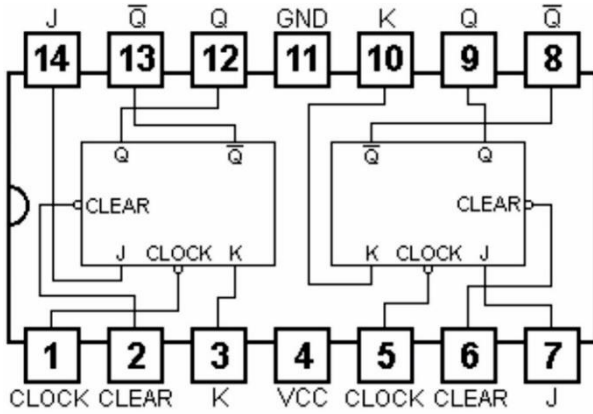
JK flip-flop'ta, RS flip flop gibi iki giriş vardır. J girişi RS FF'nin "Kur" girişi, K ise RS FF' un "Sıfırla" girişi gibi düşünülebilir. JK FF'in RS FF'den tek farkı J=1, K=1 durumunda belirsizlik olmamasıdır. Bu durumda çıkış, bir önceki çıkışın tersi olmaktadır. Yani J=1, K=1 olduğunda çıkış "0" ise "1", "1" ise "0" olmaktadır. Diğer durumlarda ise JK FF'nin çıkışları RS FF gibidir. Şekil (a)'da yükselen kenar tetiklemeli JK flip-flop lojik diyagramı, Şekil (b)'de sembolü gösterilmiştir.



(a) Lojik Diyagram



(b) Sembolü



Yandaki şekilde 74HC73 entegresinin pin diyagramı verilmiştir. Entegrede iki tane birbirinden bağımsız JK flip-flop'u vardır. Bunlar negatif(düşen) kenar tetiklemeli flip-floplardır. Sadece clock(CLK) girişinin yüksekten(H, 1) alçağa (L, 0) geçişinde çıkışlar değişebilmektedir. (Clear girişi, Clock'tan bağımsız olarak çıkışları değiştirebilir.)

CLEAR temizlemek anlamındadır. Girişinde NOT kapısı kullanıldığından CLR = 0 olduğunda Q çıkışı sıfırlanır. Bu durumda $Q = 0$, $Q' = 1$ olur.

Aşağıdaki doğruluk tablosu incelenirse şu sonuçlar çıkarılabilir:

1. CLR(Clear)= 0 olduğunda $Q = 0$, $Q' = 1$ olur. CLR = 0 iken CLK, J ve K değişse de Q Ve Q' değişmez.
2. CLR = 1 olduğunda ve J = 0, K = 1 olduğunda, bir sonraki negatif tetiklemeye çıkışlar $Q = 0$, $Q' = 1$ olur.

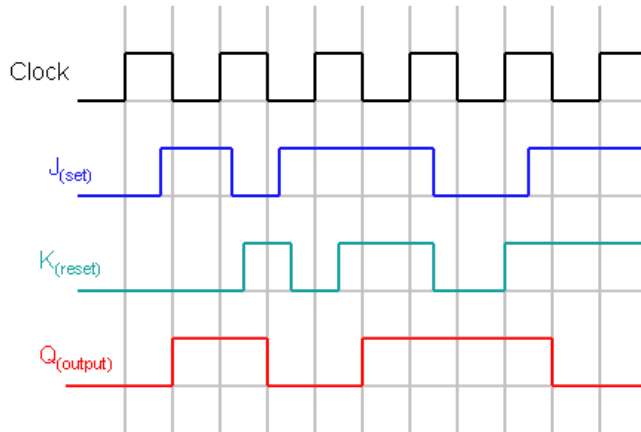
3. CLR = 1 olduğunda ve J = 1, K = 0 olduğunda, bir sonraki negatif tetiklemeye çıkışlar Q = 1, Q' = 0 olur.

4. CLR = 1 olduğunda ve J = 1, K = 1 olduğunda, bir sonraki negatif tetiklemeye çıkışlar önceki değerlerinin tersi olur.

5. CLR = 1 olduğunda, J = 0, K = 0 olduğunda, çıkışlar önceki değerlerini korurlar.

CLR	CLK	J	K	Q	$\bar{Q}$
L	X	X	X	L	H
H	$\downarrow$	L	H	L	H
H	$\downarrow$	H	L	H	L
H	$\downarrow$	L	L	Değişiklik yapmaz	
H	$\downarrow$	H	H	Çıkışları tersler(toggle)	

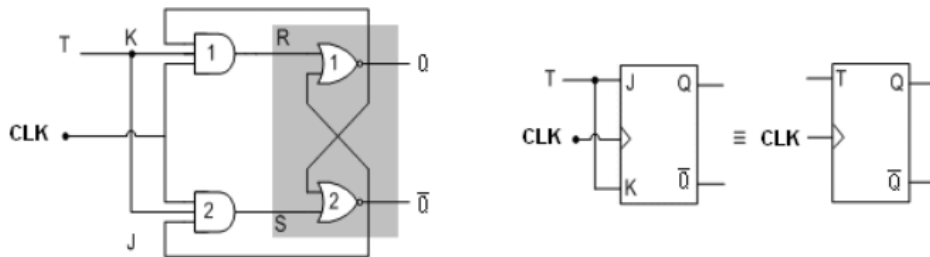
74HC73 JK Flip-flop entegresine ait doğruluk tablosu



Yandaki grafikte 74HC73 entegresine, CLR = 1 durumundayken, J, K ve CLOCK sinyalleri girilmiş, Q çıkışı elde edilmiştir. Grafikte Q çıkışının sadece Clock sinyalinin düşen kenarında değişebildiği görülmektedir.

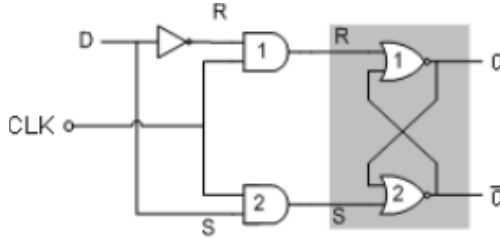
T Flip-Flop

T flip-flop, JK flip-flobun giriş uçları kısa devre edilerek tek girişli hâle getirilmiş şeklidir. O yüzden T FF entegresi yerine, JK FF entegresi alınıp girişleri kısa devre edilerek T FF entegresi yapılabilir. Şekil (a)'da yükselen kenar tetiklemeli T flip-flop lojik diyagramı, (b)'de sembolü gösterilmiştir.

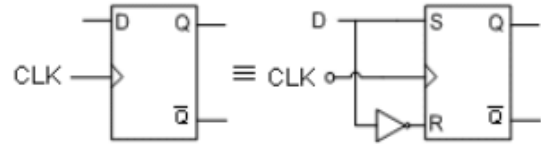


D Flip-Flop

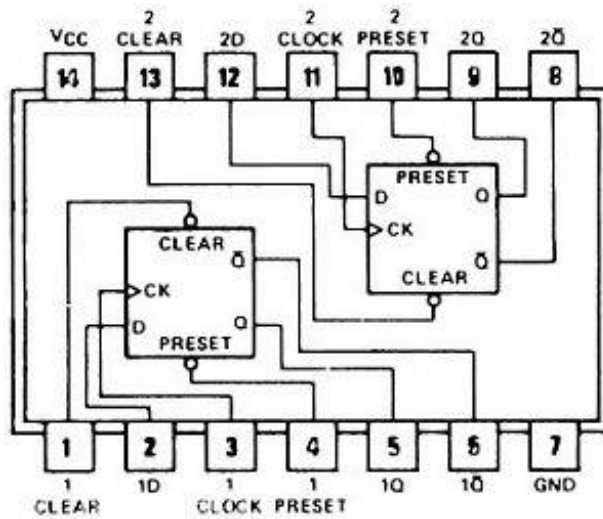
D (Data) tipi flip-flop, bilgi kaydetmede kullanılan bir flip-floptur ve genellikle register (kaydedici) devrelerinde kullanılır. D tipi flip-flop, JK tipi flip-flopa bir “Değil” kapısı eklenip girişleri birleştirilerek elde edilir. D tipi flip-flopta giriş ne ise, her gelen tetikleme palsi ile çıkış o olur. Şekil (a)’da yükselen kenar tetiklemeli D flip-flop lojik diyagramı, Şekil (b)’de sembolü gösterilmiştir.



(a) Lojik Diyagram



(b) Sembolü



Yandaki şekilde 74HC74 entegresinin pin diyagramı verilmiştir. Entegrede iki tane birbirinden bağımsız D flip-flop’u vardır. Pozitif kenar tetiklemeli flip-floplardır. Sadece CLOCK girişinin alçaktan (L, 0) yükseğe (H, 1) geçişinde çıkışlar değişebilmektedir. (Clear ve Present girişleri, Clock’tan bağımsız olarak çıkışları değiştirebilir.)

CLEAR temizle, sıfırla manasındadır. PRESET kur, ayarla manasındadır. CLEAR ve PRESET girişlerinde NOT kapısı kullanılmıştır. CLEAR = 0 olduğunda Q çıkışı sıfırlanır. Bu durumda $Q = 0$, $Q' = 1$ ’dir. PRESET = 0 olduğunda Q çıkışı kurulur. Bu durumda $Q = 1$, $Q' = 0$ ’dir. Eğer CLEAR = 0 ve PRESET = 0 olursa

$Q = 1$, $Q' = 1$ olur.

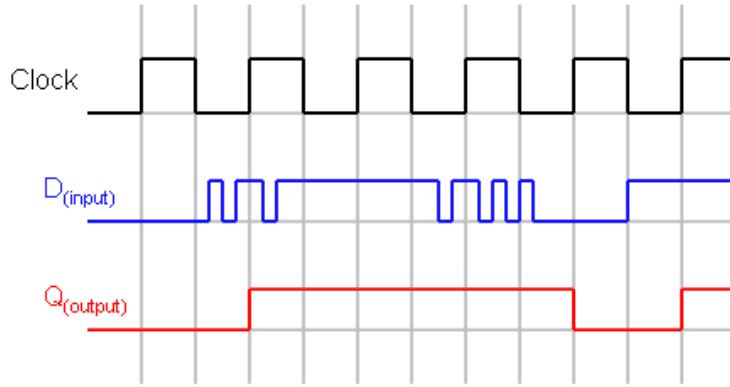
Aşağıdaki doğruluk tablosu incelenirse şu sonuçlar çıkarılabilir:

1. PRESET = 0, CLEAR = 1 olduğunda $Q = 1$, $Q' = 0$ olur. Bu durumda CLOCK ve D farklı değerler olsa da Q Ve Q' değişmez.
2. PRESET = 1, CLEAR = 0 olduğunda $Q = 0$, $Q' = 1$ olur. Bu durumda CLOCK ve D farklı değerler olsa da Q Ve Q' değişmez.
3. PRESET = 0, CLEAR = 0 olduğunda $Q = 1$, $Q' = 1$ olur. Bu durumda CLOCK ve D farklı değerler olsa da Q Ve Q' değişmez.
4. PRESET = 1, CLEAR = 1 olduğunda ve D = 1 olduğunda, bir sonraki pozitif tetiklemede çıkışlar $Q = 1$, $Q' = 0$ olur.
5. PRESET = 1, CLEAR = 1 olduğunda ve D = 0 olduğunda, bir sonraki pozitif tetiklemede çıkışlar $Q = 0$, $Q' = 1$ olur.

6. PRESET = 1, CLEAR = 1 olduğunda ve CLOCK = 0 veya CLOCK = 1'de sabit duruyorsa D girişi çıkışları etkilemez. Çıkışlar önceki durumlarında değişmeden dururlar. Çünkü bu entegredeki flip-floplar pozitif kenar tetiklemelidir. Yalnızca CLOCK 0'dan 1'e geçerken D girişine bakılır.

PRESET	CLEAR	CLOCK	D	Q	$\bar{Q}$
0	1	X	X	1	0
1	0	X	X	0	1
0	0	X	X	1	1
1	1	↑	1	1	0
1	1	↑	0	0	1
1	1	0	X	Q0	$\bar{Q}0$
1	1	1	X	Q0	$\bar{Q}0$

74HC74 JK Flip-flop entegresine ait doğruluk tablosu

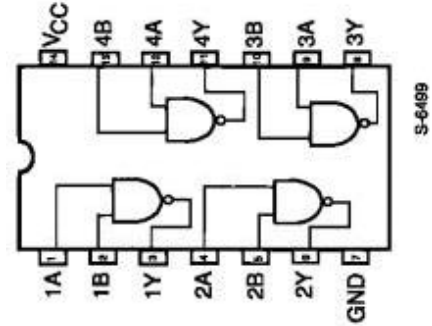
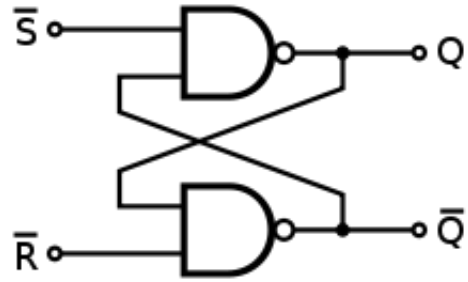


Yandaki grafikte 74HC74 entegresine, PRESET = 1 ve CLEAR = 1 durumundayken, D ve CLOCK sinyalleri girilmiş, Q çıkışı elde edilmiştir. Grafikte Q çıkışının sadece Clock sinyalinin yükselen kenarında değişebildiği görülmektedir.

Lab Uygulaması

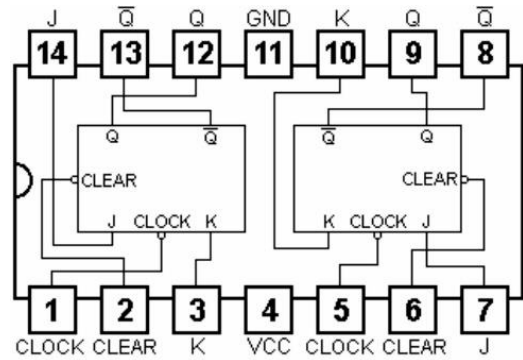
- Yandaki devreyi 74HC00 entegresi kullanarak kurun, giriş ve çıkış bağlantılarını yapın. **Sırasıyla** aşağıdaki tablodaki girişleri uygulayıp çıkışları tabloya kaydedin. Sonuçları yorumlayın.

GİRİŞLER		ÇIKIŞLAR	
S'	R'	Q	Q'
0	1		
1	1		
1	0		
1	1		



- Pin diyagramı verilen 74HC73 entegresindeki bir JK flip-flop'u için giriş-çıkış bağlantılarını yapın. Aşağıdaki tablodaki girişleri uygulayıp çıkışları tabloya kaydedin. Sonuçları yorumlayın.

GİRİŞLER				ÇIKIŞLAR	
CLEAR	CLK	J	K	Q	Q'
0	Düşen	1	0		
0	Düşen	0	1		
1	Düşen	1	0		
1	Düşen	0	1		
1	Düşen	1	1		
1	Düşen	1	1		
1	Düşen	0	0		



- Pin diyagramı verilen 74HC74 entegresindeki bir D flip-flop'u için giriş-çıkış bağlantılarını yapın. Aşağıdaki tablodaki girişleri uygulayıp çıkışları tabloya kaydedin. Sonuçları yorumlayın.

GİRİŞLER				ÇIKIŞLAR	
PRESET	CLEAR	CLOCK	D	Q	Q'
0	1	Yükselen	0		
1	0	Yükselen	1		
0	0	Yükselen	0		
1	1	Yükselen	1		
1	1	Yükselen	0		

